

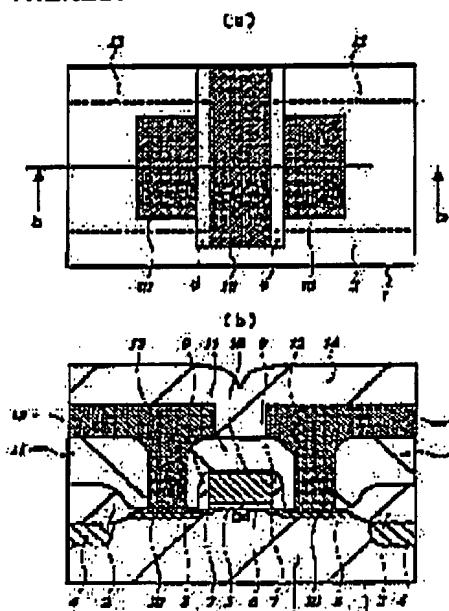
PATENT ABSTRACTS OF JAPAN

(11) Publication number : 10-229052
 (43) Date of publication of application : 25.08.1998

(51) Int.CI. H01L 21/28
 H01L 29/78

(21) Application number : 09-029466 (71) Applicant : HITACHI LTD
 (22) Date of filing : 13.02.1997 (72) Inventor : ABE HIROMI SUZUKI MASAYASU ISHIDA SHINICHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF



(57) Abstract:

PROBLEM TO BE SOLVED: To provide the manufacture of a semiconductor integrated circuit device which has a low-resistant diffusion layer resistor and a low-resistant contact.

SOLUTION: A MOSFET Qn, which has a gate electrode 6 and source and drain regions consisting of an n-semiconductor region 7 and an n+-semiconductor region 8, is made on a semiconductor substrate 1 which has a field insulating film 2, a p-well 3, and a channel stopper 4, and a stacked film where a cobalt film is stacked, after stacking of a titanium film has been made, and first heat treatment is applied to make a thin epitaxial cobalt silicide film on the surfaces of the gate electrode 6 and the n+-semiconductor region 8. Next, the titanium film and the cobalt film are removed, and then a cobalt film is stacked, and second heat treatment is applied to make an epitaxial silicide layer 10 which has a film thickness of 30-50nm.

semiconductor region 8. Next, the titanium film and the cobalt film are removed, and then a cobalt film is stacked, and second heat treatment is applied to make an epitaxial silicide layer 10 which has a film thickness of 30-50nm.

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(1)日本特許庁 (JP)

02 公開特許公報 (A)

(1)特許公開番号:

特開平10-229052

(2)公開日 平成10年(1998)8月26日

(50)出願人
H.O.I.L. 21/28
29/78第50回
3.01P.T.
H.O.I.L. 21/28
29/783.01T
3.01X

特許請求の範囲 (14-10)

(1)出願番号 特願平9-23400
(2)出願日 平成9年(1997)3月13日(1)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河町四丁目6番地
(2)発明者 内藤 佐夫
東京都千代田区神田駿河町四丁目6番地
(3)発明者 鈴木 正益
東京都千代田区神田駿河町五丁目20番1号
株式会社日立製作所新事業開拓部
(4)発明者 石田 三一
東京都千代田区神田駿河町五丁目20番1号
株式会社日立製作所新事業開拓部
(5)代理人 井原士 関井 大和

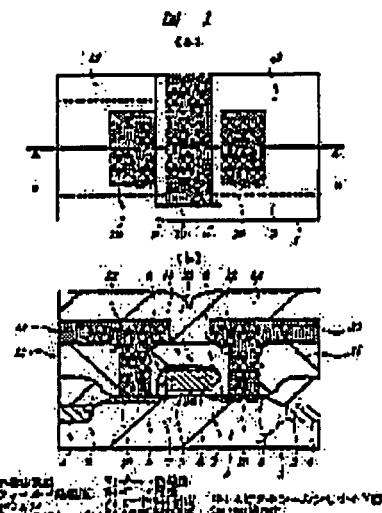
(54)【発明の名前】半導体構造部材およびその製造方法

(55)【要約】

【問題】成膜性な塗膜層と導電性なコンタクトを有する半導体構造部材の製造方法を提供する。

【解決手段】フィールド絶縁膜2、ドウェル3、チャネルリストップ4を有する半導体基板1に、ゲート絶縁膜5を介して形成されたゲート電極51と、半導体領域7および8、半導体領域8からなるソース・ドレイン電極

とを有するMOSFET構造を形成し、チタン膜の塗膜後コバルト膜を堆積した後膜を剥離し、第1の熱処理を施してゲート電極51および8、半導体領域8の表面に残しエピタキシャルコバルトシリケイト膜を形成する。次に前記チタン膜およびコバルト膜を除去し、コバルト膜を堆積して第2の熱処理を施し、ドレイン電極7の膜厚を有するエピタキシャルシリサイド層10を形成する。



【特許請求の範囲】

【請求項 1】 その主間にホ子分離領域を有する半導体基板と、前記ホ子分離領域に形成された活性領域に形成され、前記半導体基板の正面面上にゲート電極を介して形成されたゲート電極、および前記ゲート電極の周側の前記半導体基板の正面に形成された不純物半導体領域を含むC-MOSFETとを有する半導体集成回路装置の製造方法であって、

(a) 前記半導体基板の主間にホ子分離領域を形成した後、前記ゲート電極を介して前記ゲート電極を前記半導体基板の前記活性領域の正面面上に形成し、前記ゲート電極の周側の前記半導体基板の正面に前記不純物半導体領域を形成する工程、

(b) 前記ゲート電極および前記不純物半導体領域が形成された前記半導体基板の全面に、第1金属膜を形成し、前記第1金属膜を構成する第1金属とシリコンとの組合エチルギリチ化エチルオレフィンと組合し、シリコンとシリサイドを形成する第2金属で構成される第2金属膜を堆積する工程、

(c) 前記第1および第2金属膜が堆積された前記半導体基板に第1の熱処理を施し、前記第1金属膜とシリコンが接触する界面に前記第2金属とシリコンとの組合エチルギリチ化エチルオレフィンと組合し、シリコンとシリサイドを形成する第3金属で構成される第3金属膜を堆積する工程、

(d) 前記(c)工程で未反応の前記第1および第2金属膜を除去する工程、

(e) 前記(c)工程で未反応の前記第1および第2金属膜が除去された前記半導体基板の全面に、前記第2金属と同一の材料からなる第4金属膜を堆積する工程、

(f) 前記第3金属膜が堆積された前記半導体基板に第2の熱処理を施し、前記第1エビタキシャルシリサイド膜と前記第3金属膜の界面に前記第1エビタキシャルシリサイド膜と同一の材料からなる第5エビタキシャルシリサイド膜を形成する工程、

(g) 前記(f)工程で未反応の前記第3金属膜を除去する工程、

を含むことを特徴とする半導体集成回路装置の製造方法。

【請求項 2】 前記項1記載の半導体集成回路装置の製造方法であって、

前記第1金属はチタンであり、前記第2および第3金属はコバルトであることを特徴とする半導体集成回路装置の製造方法、

【請求項 3】 前記項1または2記載の半導体集成回路装置の製造方法であって、

前記第1および第2の熱処理は、処理温度が700℃以下、処理時間が2分以下であることを特徴とする半導体集成回路装置の製造方法。

【請求項 4】 その主間にホ子分離領域を有する半導体基板と、前記ホ子分離領域に形成された活性領域に形成され、前記半導体基板の正面面上にゲート電極を介して形成されたゲート電極、および前記ゲート電極の周側の前記半導体基板の正面に形成された不純物半導体領域を含むC-MOSFETとを有する半導体集成回路装置の製造方法であって、

前記ゲート電極、および前記ゲート電極の周側の前記半導体基板の主間に形成された不純物半導体領域を含むC-MOSFETとを有する半導体集成回路装置の製造方法であって、

(a) 前記半導体基板の主間にホ子分離領域を形成した後、前記ゲート電極を介して前記ゲート電極を前記半導体基板の前記活性領域の正面面上に形成し、前記ゲート電極の周側の前記半導体基板の主間に前記不純物半導体領域を形成する工程、

(b) 前記ゲート電極および前記不純物半導体領域が形成された前記半導体基板の全面に、シリコンとシリサイドを形成する第4金属で構成される第4金属膜、および第4金属膜のシリサイド膜と反応しない第5金属からなる第5金属膜を堆積する工程、

(c) 前記第4および第5金属膜が前記第4金属膜で構成される第4金属膜とシリコンとの熱処理を施し、前記第4金属膜とシリコンが接触する界面にシリコンとの組合シリサイド膜を形成する工程、

(d) 前記(c)工程で未反応の前記第4金属膜および第5金属膜を除去する工程、

(e) 前記未反応の第4金属膜および第5金属膜が除去された前記半導体基板の全面に、前記第1シリサイド膜と反応しない第6金属からなる第6金属膜を堆積する工程、

(f) 前記第4および第6金属膜が前記第4金属膜で構成される第4金属膜とシリサイド膜との熱処理を施し、前記第4金属膜とシリサイド膜が接触する界面にシリコンとの組合シリサイド膜を形成する工程、

(g) 前記第6金属膜を熱処理的除去する工程、

を含むことを特徴とする半導体集成回路装置の製造方法。

【請求項 5】 前記項4記載の半導体集成回路装置の製造方法であって、

前記第4金属はコバルトであり、前記第2および第3金属は酸化チタン、タンクステンまたはモリブデンであることを特徴とする半導体集成回路装置の製造方法、

【請求項 6】 その主間にホ子分離領域を有する半導体基板と、前記ホ子分離領域に形成された活性領域に形成され、前記半導体基板の正面面上にゲート電極を介して形成されたゲート電極、および前記ゲート電極の周側の前記半導体基板の正面に形成された不純物半導体領域を含むC-MOSFETとを有し、前記不純物半導体領域の正面に前記ゲート電極の周側に形成シリサイド膜からなる底面層が形成された半導体集成回路装置であって、

前記底面層は、30nm以上の膜厚を有するエバルトシリサイドからなるエビタキシャルシリサイドであることを特徴とする半導体集成回路装置、

【請求項 7】 その主間にホ子分離領域を有する半導体基板と、前記ホ子分離領域に形成された活性領域に形成され、前記半導体基板の正面面上にゲート電極を介して形

成されたゲート電極、および前記ゲート電極の側面の前記半導体基板の空間に形成された不純物半導体領域を含むMISFETとを有し、前記不純物半導体領域の表面または前記ゲート電極の表面に金属シリサイドからなる膜は頂面が形成された半導体表面保護装置であって、前記表面保護層は、その表面に酸化層または変化層を有さず、かつ、表面保護層にないコバルトトリシリサイドからなる半導体保護層であることを特徴とする半導体表面保護装置。
【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体表面保護装置の製造技術に関するもので、特に、高純度を要求される高熱陥入シリコン半導体表面保護装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】高純度化の進むシリコン半導体表面保護装置において、特に、高純度を要求されるMOSFETなどのロジック半導体基板は酸洗工程では、コンタクト部底や底面保護層の増加が問題となっている。

【0003】このような問題を解決する方法のひとつとして、たとえば、平成12年1月20日、「プレスジャーナル発行、「月刊 Semiconductor World」1月号」に記載されているように、いわゆるシリサイドプロセスが用いられている。

【0004】このシリサイドプロセスは、フィールド酸化膜等により本子間に本子分離槽を形成した後、露出した半導体表面空間の酸洗工程にて、この金属膜を形成し、熱処理を行って半導体表面空間の保護部分およびゲート電極の表面部分をシリサイド化し、本底板の金属膜をエッチングにより除去してシリコン表面をシリサイド化する技術である。このシリサイドプロセスによれば、シリサイドの表面に上り酸洗槽の酸洗を施すし、さらにコンタクト部底も下げることが可能である。

【0005】ところが、従来利用されているチタンシリサイドでは、結晶の均一化が難んで、シリコン膜の均一化になると、底面保護層であるこの表面形成するプロセスウインドウが開くなるという問題が生じる。すなわち、均一化が、シリコン膜の均一化になると、高純度であるこの49μmから底面保護層である49μm間に相対移する速度が上昇し、一方、底面を生じる速度が低下するという現象が生じる。つまり、底面保護層である49μmを形成するための速度コントロールが困難となる。

【0006】また、シリサイド層の表面保護を補うための、シリサイド層の厚膜化は、フィールド酸化膜との境界面におけるプロセスリードが発生しやすくなるという不具合がある。

【0007】そこで、前記文献に記載されているように、他の金属シリサイドが使用されている。

【0008】ニッケルシリサイドは、熱的安定性が乏しいためシリサイド工程以前の熱プロセスを考慮すれば

は用できません。白金シリサイドは、抵抗が高く、不純物半導体領域の保護化という技術的な方向を考慮すればこれらもまた用いできない。

【0009】一方、コバルトシリサイドは、熱的安定性、抵抗の問題から優れており、その後の酸洗化要求から生じる表面性質を満足する可能性の高い材料である。

【0010】

【発明が解決しようとする課題】このようなコバルトシリサイドのプロセスについて本発明者らが検討した結果、以下に示す通りのプロセスが効果的であることが判明した。

【0011】すなわち、(1)コバルト膜の下層に重いチタン膜を形成し、コバルト/チタンの熱層脱離過程で熱処理することにより、エピタキシャルなコバルトリシリサイドを得る方法、(2)コバルト膜の形成後、第一の熱処理でコバルト膜を除去し、第一の熱処理よりさらに二度で第二の熱処理を行い、第一の熱処理で得られたコバルトリシリサイドよりももろい酸化コバルトトリシリサイドを得る方法、である。

【0012】このようないくつかの方法では、エピタキシャルなコバルトリシリサイドが得られるため、また、

(2)の方法では、コバルトリシリサイドが得られるため、酸洗工程に用いたシリサイド膜が得られる。

【0013】しかし、本発明者らは、上記シリサイドプロセスにおいて、いくつかの問題がある点も認めた。

【0014】すなわち、前記(1)の方法では、エピタキシャル膜を形成するためシリサイド化の反応速度が遅く、底面、長時間の熱処理が必要となる。しかし、底面、長時間の熱処理では、本子分離槽におけるブリッジングやエンクローチメントが発生しやすくなり、その結果、プロセスウェインドウが開くなるという問題がある。また、チタン膜を介した反応であるため反応が複雑となり、耐久性が乏しくなるという不具合がある。さらに、コバルトリシリサイド中にチタンが増入し、そのため、コバルトリシリサイドの抵抗が高くなるという問題もある。

【0015】また、前記(2)の方法では、シリサイドが露出した状態で第二の熱処理を行なうため、熱処理時に表面が変化し、あるいは酸化され、また、シリサイドを高純度酸洗槽すると、酸洗現象が発生する。これらの理由によりシリサイドの抵抗が高くなるという問題がある。

【0016】本発明の目的は、底面がかつ耐久性高く、低抵抗なエピタキシャルシリサイド層を形成することができる技術を提供することにある。

【0017】本発明の他の目的は、シリサイド表面の酸化、酸化を防止し、シリサイド層の酸洗現象を抑制することができるように技術を提供することにある。

【00.18】本発明のさらには他の目的は、並成層技術、コンタクト技術が十分に beigeM-SFETを有する半導体素子表面熱処理装置を提供することにある。

【00.19】本発明の前記ならびにその他の目的と既現な特徴は、本明細書の記述および第1回開から明らかになるであろう。

【00.20】

【課題を解決するための手段】本明において記述される発明のうち、代表的なものの概要を簡略に説明すれば、次のとおりである。

【00.21】(1) 本発明の半導体表面熱処理装置の製造歩序は、その主間に電子分離層を有する半導体基板と、電子分離層間に囲まれた活性層間に形成され、半導体基板の主面上にゲート電極を介して形成されたゲート電極およびゲート電極の両側の半導体基板の主間に形成された不純物半導体領域を含むGM1-SFETと、を有する半導体表面熱処理装置の製造方法であって、(a)半導体基板の主面上に電子分離層を形成した後、ゲート電極層を介してゲート電極を半導体基板の活性層の空間上に形成し、ゲート電極の両側の半導体基板の主間に不純物半導体領域を形成する工程、(b)ゲート電極および不純物半導体領域が形成された半導体基板の主間に第1金属膜を堆積し、第1金属膜を堆積する第1金属層とシリコンとの結合エネルギーよりも低い結合エネルギーで結合し、シリコンとシリサイトを形成する第2金属で構成される第2金属膜を堆積する工程、(c)第1および第2金属膜が堆積された半導体基板に第1の熱処理を施し、第1金属膜とシリコンが結合する界面に第2金属ヒシリコンとの第1エピタキシャルシリサイト層を形成する工程、(d)前記工程で未反応の第1および第2金属膜を除去する工程、(e)半導体の第1および第2金属膜が堆積された半導体基板の両面に、第2金属と同一の材料からなる第3金属膜を堆積する工程、(f)第3金属膜が堆積された半導体基板に第2の熱処理を施し、第1エピタキシャルシリサイト層と第3金属膜の両面に第1エピタキシャルシリサイト層と同一の材料からなる第2エピタキシャルシリサイト層を形成する工程、(g)前記工程で未反応の第3金属膜を除去する工程、を含むものである。

【00.22】このような半導体表面熱処理装置の製造方法によれば、前記(e)～(g)の工程において、ゲート電極または不純物半導体領域の表面にシリサイト技術を用いて第2金属のシリサイト層を形成する間に、第2金属とシリサイト層との間に第1金属層を形成し、第1金属として第2金属とシリコンとの結合エネルギーよりも大きな結合エネルギーを有する金属を選択するため、第1金属膜を熱処理としてエピタキシャルシリサイト層の形成が可能であり、第1エピタキシャルシリサイト層を形成することができる。また、前記(e)～(g)の工程において、第1エピタキシャルシリサイト層上に、

第2金属と同一の材料からなる第3金属膜を形成し、第2の熱処理を行ったの、より既存の大きな第2エピタキシャルシリサイト層を在不純物濃度で形成することができる。

【00.23】すなわち、第1の熱処理の際にには、第2の熱処理の際のエピタキシャルシリサイト層に必要な熱形態と同じ型のエピタキシリサイト膜が形成されれば十分であり、第2の熱処理の際にには、既に格形膜が生成され、いため、前記過程としての第1金属層が必要でなく、そのため、第1エピタキシャルシリサイト層上に因る第2金属膜を形成しても第2エピタキシリサイト層を形成することが可能である。この際、第1金属膜が存在しないため、第2エピタキシリサイト層の反応領域が大きく、形成がかかる時間に第2エピタキシリサイト層の形成を可能ることができる。また、第2金属膜が存在しないため、不純物として第1金属が第2エピタキシリサイト層に混入することができない。

【00.24】これらは既述、第1の熱処理の際の反応時間は短くして、ブリッジングあるいはエンクローディメント等の不良原因を抑制することができる。また、第2の熱処理の際には、十分な膜厚有し、かつ、不純物の混入がないエピタキシリサイト層を形成することができる。さらに、則則性良く、並成層技術、コンタクト技術が十分に beigeM-SFETを形成することができる。

【00.25】なお、第1金属としてチタンを示すことができ、第2および第3金属としてコバルトを示すことができる。

【00.26】また、第1および第2の熱処理は、処理温度を700°C以下、処理時間を2分以下とすることができる。つまり、6コローフローティローブー10分のアニメルを必要とする従来のエピタキシリサイト膜の熱処理と比較して、処理温度、処理時間ともに低量化し、短縮することができる。

【00.27】(2) 本発明の半導体表面熱処理装置の製造歩序は、その主間に電子分離層を有する半導体基板と、電子分離層間に囲まれた活性層間に形成され、半導体基板の主面上にゲート電極を介して形成されたゲート電極、およびゲート電極の両側の半導体基板の主間に不純物半導体領域が形成された半導体基板の両面に、シリコンとシリサイトを形成する第4金属で構成される第4金属膜、および第4金属膜のシリサイト層と反応しない第5金属からなる第5金属膜を堆積する工程。

【(2)】第4および第5金属膜が堆積された半導体基板に第4の熱処理を施し、第4金属膜とシリコンが反応する

表面にシリコンとの第1シリサイド層を形成する工程、(d)前記工程で未反応の第4金属膜および第4金属膜モリブデンを除く工程、(e)未反応の第4金属膜および第2金属膜が除去された半導体基板の表面に、第1シリサイド層と反応しない第5金属からなる第5金属膜を堆積する工程、(f)第5金属膜が堆積された半導体基板に第4の熱処理を施し、第1シリサイド層を複数する元気と同一の元気から形成され、第1シリサイド層よりも形成された第2シリサイド層を形成する工程、(g)第5金属膜を遮断的に除去する工程、を含むものである。

【003.8】このような半導体基板製造工程によれば、前記(e)～(g)の工程において第1シリサイド層を形成する際に、第4金属膜上にシリサイド層と反応しない第5金属膜を堆積して第3の熱処理を行うため、第4金属が基板から遮断され、基板と反応せずに熱処理を行うことができる。また、第5金属膜が堆積されているため、第4金属のシリサイド層の表面はフリースタンドの状態とならず、第5金属により固定された状態となる。この結果、第4金属のシリサイド層に変形が生じにくくなり、第4金属のシリサイド層は変形しない熱処理にすることができます。このような方法は、前記(e)～(g)の工程において第2シリサイド層を形成する場合にも同様にあてはまり、第2シリサイド層上に第1シリサイド層と反応しない第5金属膜を堆積して第4の熱処理を行うため、第1シリサイド層が基板から遮断され、基板と反応せずに熱処理を行うことができ、熱処理によって形成される第2シリサイド層に変形が生じることがない。

【003.9】この結果、熱処理との反応による酸化物あるいは変化物が形成されないシリサイド層は、変形を生じることなく元気に形成することができます。この結果、堆積およびコンタクトは坑が十分にないMISFETを製造することができます。

【003.10】さらに、本発明では、第3の熱処理の後、未反応の第4および第5金属膜を除去して第4の熱処理を行ったの、第3の熱処理のより完全した層が酸化物あるいは変化物を除去して第4の熱処理を行うこととなり、シリサイド層の膜であるいは変形をより効果的に防止することができる。

【003.11】なお、第4金属としてコバルトを、第5金属として変化チタン、タンクスタン等はモリブデンを用いることができる。コバルトシリサイドを形成する場合は、コバルトが熱に酸化しやすい物質であることを考慮すると、本発明の製造方法により製造することは、より効果的であると認められる。

【003.12】(3) 本発明の半導体基板製造工程は、その表面に分子分離領域を有する半導体基板と、分子分離領域に囲まれた活性領域に形成され、半導体基板の表面にゲート電極膜を介して形成されたゲート電極、およびゲート電極の周囲の半導体基板の表面に形成された不純物半導体領域を含むMISFETとを有し、不純物半導体領域の表面またはゲート電極の表面に金属シリサイドからなる遮断層が形成された半導体基板製造工程であって、遮断層を、その表面に酸化層または変化層を有さず、かつ、遮断層にないコバルトシリサイドからなる半導体とすらものである。

【003.13】このような半導体基板製造工程によれば、遮断層が3.0nm以上の膜厚を有するコバルトシリサイドからなるエピタキシャル成長層であるため、遮断層は遮断およびコンタクトは坑が十分にないMISFETを有する半導体基板製造工程とすことができる。

【003.14】このような半導体基板製造工程は、前記(e)の製造方法により製造されるものであるが、従来のエピタキシャル成長法では長い時間と膜厚を有するコバルトシリサイドからなるエピタキシャル成長層を形成しようとすると、長い間かかる熱処理を必要とし、ブリッキングあるいはエンクローチメントの発生が避けられず、3.0nm以上のエピタキシャルコバルトシリサイド層を形成することができなかった。本発明は、これを可能としたものである。

【003.15】(4) 本発明の半導体基板製造工程は、その表面に分子分離領域を有する半導体基板と、分子分離領域に囲まれた活性領域に形成され、半導体基板の表面にゲート電極膜を介して形成されたゲート電極、およびゲート電極の周囲の半導体基板の表面に形成された不純物半導体領域を含むMISFETとを有し、不純物半導体領域の表面またはゲート電極の表面に金属シリサイドからなる遮断層が形成された半導体基板製造工程であって、遮断層を、その表面に酸化層または変化層を有さず、かつ、遮断層にないコバルトシリサイドからなる半導体とすらものである。

【003.16】このような半導体基板製造工程によれば、遮断層が、その表面に酸化層または変化層を有さず、かつ、遮断層にないコバルトシリサイドからなる半導体であるため、遮断層は坑が十分にないMISFETを有する半導体基板製造工程とすことができる。

【003.17】このような半導体基板製造工程は、前記(e)の製造方法により製造されるものであるが、従来の製造方法では坑のないコバルトシリサイドを形成するには、3.0nm以上の熱処理を必要とし、変形あるいは酸化から防止することができず、また、変形現象の発生しやすいものであった。したがって、その表面に酸化層または変化層を有さず、かつ、遮断層にないコバルトシリサイドからなる半導体を形成することができなかつた。本発明は、これを可能としたものである。

【003.18】

【発明の文書の形式】以下、本発明の文書の形式を図面について詳説して説明する。なお、文書の形式を説明す

あなたの全国において、同一の医師を有する都府には同一の専門を有し、その通り追しの説明を召喚する。
【口頭39】(文部の形態1) 図1は、本発明の一実用の形態である半球体兼斜面成形板の一例を示し、図1(a)は半開図、図1(b)は図1(a)におけるb-b'断面図である。

【四〇四〇】本実用の形態1の半導体素子は四端子型には、たとえばnMOSFETがなほ本実用は集積四端子型であってもよい。nMOSFETあるいはpMOSFETであってもよく、ここでは説明の便さのため、nMOSFETについて説明する。pMOSFETについても、nMOSFETと同様である。

【図6-41】本実用の図6-1の凹字を複数回複数回
半導体基板1の表面に形成されたフィールド活性膜2に
囲まれた活性膜端部にMOSFET Qnを有するものであ
る。

【図4-2】半導体基板1は、n型不純物たとえばリンが表面層にドープされたn-型基板であり、版ロ- c mの寸法を有するものである。

【0043】半導体基板の上面近傍にはロウエルロが形成されている。ロウエルロには、ロガボリ物質たとえばポリマーが接着剤としてドーピングされている。

【00-44】フィールド配線2は、老子を電気的に分離するための老子方端子であり、たとえばL₁CO₅上に取り付けられる。その端子は、たとえば4000m²とすることができる。なお、フィールド配線2の下部には、ループ不規則性が高温度にドープされたチャネルストラップが形成されている。

【0045】MOS-FETの上に活性層の主面上に、ゲート絶縁膜を介して形成されたアート電極と、ゲート絶縁膜の側面の活性層側空間に形成されたソース・ドレイン電極とを有する。ソース・ドレイン電極は、n形の不純物が低濃度にドープされたn-半導体膜と、n形の不純物が高濃度にドープされたn+半導体膜とからなる。すなわち、ソース・ドレイン電極は、いわゆるLDD (Lightly Doped Drain) 電極を有する。

【00-43】ゲート電極側には、たとえば左 CV D型により形成されたシリコン酸化膜からなり、膜厚は0.1~0.2μmとすることができる。また、ゲート電極には、たとえば右 CV D型により形成された多晶シリコン膜とすることができる。ゲート電極の側面には、たとえばシリコン酸化膜からなるサイドウオールタが形成されている。

〔00-42〕ゲート数はおおよそ10・平底体積は日々の表面にはコバルトシリサイドからなるエピタキシャルシリサイド層10μが形成されており、その膜厚は3.0-3.0nmである。はる、コバルトシリサイドのエピタキシャルは表面の厚さを3.0-3.0nmまで薄くしようとすると、フリッピングあるいはエンクローチメント等の電子不純物が発生し、大きな誤差のエピタキシャルシリ

サイド居を得ることができます。ゲート電位はあるいは、半導体初期の場合は抵抗を十分に下げる事ができない。したがって、本実験の形態の半導体実験回路設計では、常に制御する製造方法を用いることにより、0.0~5.0 nmという新しいエビタキシャルシリコンサイド居を形成することができ、ゲート電位はおおむね半導体初期の抵抗を十分に下げる事ができる。したがって、ブリッジングあるいはエンクローチメント等の並存不良は、これが発生することなく半導体実験回路装置の性能を向上させることができます。

【0048】MO9 P E T O nおよびフィールド地図記号の上層には新規記号記号 1-1 が記載され、n+半規体記号 1-1 の上層には新規記号記号 1-1 に開口した複記号 1-2 を介して n+半規体記号 1-1 の上層のエピタキシャルシリサイト層 1-0 に接する記号 1-3 が記載されている。

CD-ROMドライブは標準装備で、たとえばシリコンディスクからなり。TELOS（テトラエトキシジラン）を用いたCD-RWにより書き換えることができる。記録1.3GBは、たとえばアルミニウムを充てんすることでアルミニウムをからなり。スピーフタ音により抵抗することができる。

ノンスマートドライブによる走行が可能となるが、この車は、セロロード仕様。本文題の形態1では、サイドウオールドロおよび荷物固定装置1としてシリコン吸着装置を備示しているが、シリコン空気圧でもよいことはいまだても

ただし、また、配量1.0としてアルミニウム合量を示しているが、アルミニウムと炭化チタン、タングステン等の候候としでもよい。

底の製造方法を、図2-1回1.0を用いて説明する。図2-1回1.0は、本発明の一実施の態様である平底球体形状の球底の製造方法の一例をその工程用に示し、図2-1回5は支承の断面図、図2-1回1.0は(1)に平面図。

〔0053〕に〔0051〕におけるトーラス面図を示す。
 〔0053〕ます。ハ・席の半導体基板1を用意し、達ヒシリコン氧化膜1コをその表面に形成した後、シリコジ変化膜1コを接着し、公知のワットリソグラフ法等とエッチング技術を用いてバーニングする。シリコジ変化膜1コのバーニングは、フィールド活性膜2が形成される領域を除去するように行う。さらに、シリコジ変化膜1コをマスクにして、たとえばエリント等のレジン等の樹脂を塗布層にイオン注入し、チャキルストンバー4を形成する。また、ロウェル2が形成される領域にたとえばガロングキル形の不純物をイオン注入し、ロウェル2を形成する。(回01)

【ロロ54】女に半端な本筋1を教処理しシリコン変化筋1で扱われていない筋肉を差別的に変化し、ワイルド喉頭筋2を扱刈する(図3)。チャネルストッ

【4】おおむねウエルタは、この温度で活性化される。

【ロロ・ロコ】次に、シリコン酸化膜1.0およびシリコン酸化膜1.0を除去した後、半導体基板1の全面にゲート電極膜とそれをシリコン酸化膜おおむねゲート電極膜となし、多孔性シリコン膜を形成し、その多孔性シリコン膜を、公報のフォトリソグラフィ技術とエッティング技術を用いてバターニングし、ゲート電極膜を形成する(図4)。シリコン酸化膜はたとえば熱酸化法により、多孔性シリコン膜はたとえばCVD法により形成することができる。

【ロロ・ロコ】次に、フォトレジストおおむねゲート電極膜をマスクとして、たとえば紫外線あるいはリソ等のUV光を照射して、UV光を低温度でイオウ注入し、n-半導体基板7を形成する(図5)。

【ロロ・ロコ】次に、半導体基板7の全面にシリコン酸化膜を形成し、公報の熱酸化法エッティングを用いて前記シリコン酸化膜をエッティングし、ゲート電極膜の表面にサイドウォール部を形成する。さらに、フォトレジスト、ゲート電極膜おおむねサイドウォール部をマスクにして、たとえば紫外線あるいはリソ等のUV光を照射して、UV光を注入し、n-半導体基板7を形成する(図6)。

【ロロ・ロコ】この段階で、半導体基板7を熱処理し、n-半導体膜7おおむね半導体膜7を活性化することができるが、後の工程で熱処理を行ってもよい。

【ロロ・ロコ】次に、コバルトシリケイドモエピタキシャルに形成された後のコバルト熱処理となるチタン膜1.7(第1金属膜)を形成し、さらにコバルト膜1.6(CS2)を熱処理を増設する(図7)。チタン膜1.7おおむねコバルト膜1.6の膜厚は、公報のスパッタ法により行うことができる。その膜厚は、ともに約10.0nmとすることができる。

【ロロ・ロコ】次に、半導体基板7に熱処理(第1の熱処理)を施し、未反応のコバルト膜1.6おおむねチタン膜1.7を除去して、ゲート電極膜の表面おおむね半導体基板7の全面にエピタキシャルシリケイド膜1.0・CS2・エピタキシャルシリケイド膜1.0を形成する(図8)。ここで、チタン膜1.7は、コバルトの熱処理として作用する金属膜として示したるものであるが、シリコンとシリケイドを形成するコバルト(これを金属)よりもシリコンとの組合エネルギが大きいものであればチタン(第1金属)に限られることなく、他の金属膜であってもよい。

【ロロ・ロコ】上記熱処理の条件は、たとえばロロ・ロコで、1分とあることができる。この熱処理条件は、公報のエピタキシャル成長のための熱処理条件であるロロ・ロコで、ヨー1.0分と比較して短かう短時間であり、従来問題であったブリッジングやエンクローチメントは発生しない。また、熱処理条件が、短かう短時間であるためエピタキシャルシリケイド膜1.0が他の熱処理におけるエピタキシャルシリケイド膜1.0の成長性となっているためである。また、第1の熱処理においてチタンの流入が無小であり、第2の熱処理においてはチタン膜1.7が成長されているため複数回膜が向上しているためであると考えられる。

【ロロ・ロコ】最後に、半導体基板1の全面に層間絕縁膜1.1を形成し、公報のフォトリソグラフィ技術およびエッティング技術を用いて配線1.2を形成する。その後、半導体基板1の全面にたとえばアルミニウム合金属をスパッタ法で形成し、公報のフォトリソグラフィ技術およびエッティング技術を用いてアルミニウム合金属をバターニングし、配線1.2を形成する。さらに、保護膜は膜1.4を形成して膜1.4に示す半導体膜は回路構成がほぼ完成する。なお、層間絕縁膜1.1はTEO₃と酸素とを約4.4%で複数の処理温度で反応させることにより約0.5μmにより、保護膜は膜1.4はアラクマセミコンダクターにより形成

【ロロ・ロコ】次に、コバルト膜1.6おおむねチタン膜1.7

の除去は、公報のウエットエッティング法を用いることができる。エッチャントとして、アンモニアと過酸化水素の混合液または塩酸系過酸化液を用いることができる。また、エピタキシャルシリケイド膜1.0の膜厚は、コバルト膜1.6の膜厚が2.0nmの場合には約アーチー0.0nm、1.0nmの場合には1.4~1.6nmとすることができる。

【ロロ・ロコ】次に、半導体基板1の全面にチタン膜を増設することなくコバルト膜1.6(第1金属膜)を形成する(図9)。コバルト膜1.6の膜厚は、前記と同様に公報のスパッタ法を用いることができる。コバルト膜1.6の膜厚は、たとえば1.0~2.0nmとすることができる。

【ロロ・ロコ】次に、半導体基板1に熱処理(第2の熱処理)を施し、未反応のコバルト膜1.6を除去して、エピタキシャルシリケイド膜1.0・CS2・エピタキシャルシリケイド膜1.0を形成する。エピタキシャルシリケイド膜1.0は、エピタキシャルシリケイド膜1.0とエピタキシャルシリケイド膜1.0とで構成され、その膜厚を3.0~4.0nmとすることができる(図10)。このように、従来技術では用られない十分な膜厚とすることにより、ゲート電極膜おおむね半導体基板7のシート抵抗を下し、また、膜1.3とのコンタクト部を形成し、半導体基板7周辺部の性能を向上させることができる。

【ロロ・ロコ】第2の熱処理の熱処理条件は、たとえばロロ・ロコで、1分とあることができる。これは、従来のエピタキシャル成長のための熱処理条件であるロロ・ロコで、ヨー1.0分と比較して短かう短時間であり、従来問題であったブリッジングやエンクローチメントは発生しない。このように、第2の熱処理の条件を短かう短時間に下さることができる。膜1.6の熱処理によってエピタキシャルシリケイド膜1.0が形成されており、エピタキシャルシリケイド膜1.0が他の熱処理におけるエピタキシャルシリケイド膜1.0の成長性となっているためであり、また、第1の熱処理においてチタンの流入が無小であり、第2の熱処理においてはチタン膜1.7が成長されているため複数回膜が向上しているためであると考えられる。

【ロロ・ロコ】最後に、半導体基板1の全面に層間絕縁膜1.1を形成し、公報のフォトリソグラフィ技術およびエッティング技術を用いて配線1.2を形成する。その後、半導体基板1の全面にたとえばアルミニウム合金属をスパッタ法で形成し、公報のフォトリソグラフィ技術およびエッティング技術を用いてアルミニウム合金属をバターニングし、配線1.2を形成する。さらに、保護膜は膜1.4を形成して膜1.4に示す半導体膜は回路構成がほぼ完成する。なお、層間絶縁膜1.1はTEO₃と酸素とを約4.4%で複数の処理温度で反応させることにより約0.5μmにより、保護膜は膜1.4はアラクマセミコンダクターにより形成

することができる。

【00-7-2】このような半導体発光部回路装置の製造方法によれば、前記した半導体発光部回路装置を製造することができる。半導体発光部回路装置のゲート電極はおおむね半導体側地日のシート状況とコンタクト状況を形成して、その性能を向上することができる。すなわち、第1の熱処理により高純度なないエピタキシャルシリサイド層100を形成し、その後、第2の熱処理により、エピタキシャルシリサイド層100をさらに形成して、エピタキシャルシリサイド層100の膜厚を従来技術では形成できない十分な厚さで形成することができる。しかも、上記の方法によれば、十分な膜厚のエピタキシャルシリサイド層100を、従来技術で同様の膜厚を得ようとするには遙かに困難なことから、ブリッジングおよびエンクローチメントを発生することなく形成することができる。

【00-7-3】また、エピタキシャルシリサイド層100の不純物であるチタンの量が過小様に抑制されるため、エピタキシャルシリサイド層100の膜厚を薄くすることができる。

【00-7-4】上記の結果、ゲート電極はおおむね半導体側地日のシート状況を、エピタキシャルシリサイド層100がない場合の100.0/ μ mから20.0/ μ mに形成することができる。

【00-7-5】され、上記1.および第2の熱処理においては、公知のR.T.A. (Rapid Thermal Annealing) 法を用いることができる。

【00-7-6】また、本実施の形態1では、n-MOSFETを例示して説明したが、p-MOSFETについてもその構成を説明せざることにより同様に説明することができる。

【00-7-7】さらに、本実施の形態1ではゲート電極はおおむね半導体側地日の側面の表面にエピタキシャルシリサイド層100を形成した場合を例示したが、ゲート電極はおおむね半導体側地日の側面が一方にのみ形成してもよいことはいうまでもない。

【00-7-8】(実施の形態2) 図1-1は、本実施の他の実施の形態である半導体発光部回路装置の一例を示し、図1-1(a)は平面図、図1-1(b)は図1-1(a)における断面図である。

【00-7-9】本実施の形態2の半導体発光部回路装置は、実施の形態1と同様に、CMOSからなる半導体発光部回路装置であってもよいし、nMOSあるいはpMOSであってもよく、説明の便のため、nMOS部について説明する。nMOS部について述べ、nMOS部と同様である。

【00-7-10】本実施の形態2の半導体発光部回路装置は、実施の形態1と同様に、半導体発光部回路装置は、実施の形態1と同様に半導体基板21、フィールド絶縁膜22、MOSFET23を有し、MOSFET23を構成するドクターレジスト24、ゲート電極25、ゲート電極26、n-

半導体側地27、n+半導体側地28およびサイドウォール29についても実施の形態1と同様である。したがって、実施の形態1と前述するが如前20.0/ μ mについてのみ説明し、他の同一の部分については説明を省略する。

【00-7-11】ゲート電極25およびn+半導体側地日の表面に形成されるが如前20.0/ μ mは、その表面に酸化層28または炭化層を有さず、かつ、延べ状態にないコバルトシリサイドからなる半導体である。また、その膜厚は、3.0~3.5nmである。

【00-7-12】従来、コバルトシリサイドを形成するためには直上で熱処理すると、コバルトの反応性からコバルトシリサイドの表面が酸化あるいは炭化されることが避けられず、また、コバルトシリサイドの表面が酸化あるいは炭化するという問題があつたが、本実施の形態2の半導体発光部回路装置では、後に説明する製造方法を用いることにより、表面に酸化層または炭化層を有さず、かつ、炭化層のないコバルトシリサイドとするものである。これにより、ゲート電極25あるいはn+半導体側地日の形成層を十分に下げることができ、半導体発光部回路装置の性能を向上することができる。

【00-7-13】MOSFET23およびフィールド絶縁膜22の上層に形成される層構造は、図1-1、底地1-1および保護絶縁膜22についても実施の形態1と同様であるため、説明を省略する。

【00-7-14】次に、本実施の形態2の半導体発光部回路装置の製造方法を、図1-2~図1-5を用いて説明する。図1-2~図1-5は、本実施の他の実施の形態である半導体発光部回路装置の製造方法の一例をその実用図に示したものであり、(a)は平面図、(b)は(a)におけるb-1の断面図である。

【00-7-15】本実施の形態2の半導体発光部回路装置の製造方法は、実施の形態1における図1-1の工程2では、実施の形態1と同様である。したがって、説明を省略し、その後の工程から説明する。

【00-8-1】MOSFET23の形成された半導体基板21の表面にコバルト膜21-1(第4金属膜)を堆積し、さらに変化チタン膜21-2(第5金属膜)を堆積する(図1-2)。ここで、コバルト膜21-1は、ゲート電極25およびn+半導体側地28と反応してシリサイド層を形成するものであり、変化チタン膜21-2は後に説明する熱処理においてコバルトの酸化あるいは炭化を防止する作用を有する。

【00-8-2】コバルト膜21-1おおむね変化チタン膜21-2は、公知のスパッタ法を用いて堆積することができます。コバルト膜21-1の膜厚を1.0~2.0nm、変化チタン膜21-2の膜厚を1.0nmとすることができる。

【00-8-3】次に、半導体基板21に熱処理(第3の熱処理)を施し、ゲート電極25およびn+半導体側地日のシリコンとコバルト膜21-1を反応させてコバルトシリサイド23(081シリサイド層)を生成し、未反応のコバルト

ト膜2-1を除去する(図1-3)。第3の熱処理の熱処理条件は、コロロで、1分とすることができる。この度合でのコバルトシリケイド2-2は、熱処理温度が度合である。また度合であるため、は度合の高いコバルトモノシリケイドの度合である。そのは度合としては7.0-1.0ロリロ-1.0mを示すことができる。また、形成されたコバルトシリケイド2-2の度合は、2.5-4.0mを示すことができる。

【0008-4】末度合のコバルト膜2-1の度合には、アンモニア加水等を用いた公のウェットエッチング法を用いることができる。このは、コバルトシリケイド2-2に形成された度合の度合あるいは度合が度合あるいは度合を除去することができる。度合チタン膜2-2の度合によりコバルトシリケイド2-2の表面の度合あるいは度合の度合が抑制されるもの、便かながら度合あるいは度合が抑制されることは避けられず。この度合を度合あるいは度合を除去することは、この後の工程において度合あるいは度合が不規則として度合し、シリケイド度合は度合を度合を度合を度合とすることは本発明者らの経験的判断している。したがって、本工程で度合あるいは度合をウェットエッチングにより除去することは、半導体表面保護膜の度合化に有用であるといえる。

【0008-5】次に、半導体基板1の表面に度合チタン膜2-4を度合する(図1-4)。度合チタン膜2-4は、公のスパッタ法で度合することができ、その度合は1.0mをとることができます。

【0008-6】次に、半導体基板1に前工程の熱処理よりも度合の熱処理(0.8-4の熱処理)を加し、コバルトモノシリケイドからなるコバルトシリケイド2-2をコバルトシリケイドに度合させ、度合度合2-2を形成する。さらに、度合チタン膜2-4を除去する(図1-5)。

【0008-7】前記度合4の熱処理は、たとえばコロロで、1分の条件で行うことができる。その熱処理のより度合される度合度合2-2の度合度合は、1.0-1.7ロリ-1.0mを度合することができる。また、形成された度合度合2-2の度合は、3.0-3.0mをとることができます。

【0008-8】並工程の第4の熱処理の度、コバルトシリケイド2-2上に度合チタン膜2-4が堆積されているため、度合チタン膜2-4がコバルトシリケイド2-2の度合あるいは度合の作用を度合し、コバルトシリケイドからなる度合度合2-2の表面に度合あるいは度合が形成されることを抑制する。また、7.0-1.0という度合の熱処理では、コバルトモノシリケイドからなるコバルトシリケイド2-2がコバルトシリケイドからなる度合度合2-2に度合する過程において度合度合が発生し、度合度合2-2の度合が度合してその度合度合を大きくする場合が生じやすいが、コバルトシリケイド2-2の上面に度合チタン膜2-4が堆積されているため、度合度合における粒子の物理的な移動を度合し、度合を発生しにくくする作用がある。この結果、度合度合2-2の度合度合を度合する

ことができる。

【0008-9】最後に、本文の形態1と同様に、度合度合度合2-1、度合度合2-2、度合2-3および度合度合2-4を形成して図1-1に示す半導体表面保護膜が度合度合するが、これらの形態度合は本文の形態1と同様であるため説明を省略する。

【0009-0】このような半導体表面保護膜の度合方法に上れば、前記した半導体表面保護膜を度合することができる。半導体度合は度合度合のゲート電極とお上げり、半導体度合のシート度合とコンタクト度合を底面して、その度合を度合することができる。すなわち、度合チタン度合2-2をお上げり度合チタン度合2-4を度合がることにより、第3の熱処理において度合あるいは度合を度合する度合度合2-2からなるコバルトシリケイド2-2を形成し、第4の熱処理においてその表面に度合あるいは度合を度合することができる。度合度合2-2を度合することができる。この度合、ゲート電極とお上げり、半導体度合のシート度合を度合する度合度合2-4を度合から度合に度合することができる。

【0009-1】また、本文の形態2の度合方法では、度合度合2-0に度合度合が生じないため、その表面が度合であり、ラフネスの少ないシリケイドを度合を度合することができる。この結果、プロセスマージンを度合することができる度合となる。

【0009-2】なれど、上記第1および第2の熱処理においては、公のRTA(Rapid Thermal Anneal)度合用いることができる度合、たとえば、CVD-SPEETについても同様に度合する度合は度合の形態1と同様である。

【0009-3】また、ゲート電極と度合はn+半導体度合の度合が度合にのみ度合度合を度合して度合に度合する度合である。

【0009-4】さらに、本文の形態2ではコバルトヒシリコンとの反応によるコバルトシリケイド度合の度合を度合したが、コバルトヒシリコン、チタン、ニッケル、ロジウムを用い、それそれシリケイドを形成しても度合。また、シリケイドの度合あるいは度合度合として度合チタン度合2-2、2-4を用いた場合を度合したが、チタンスチレンモリブデン等熱処理時にシリケイドと反応せず、かつ、シリケイドとの還原エッチングが可能である度合であれば度合チタン度合2-2、2-4に代えて適用可能である。

【0009-5】以上、本発明によつてなされた発明を度合の度合の形態に度合度合的に度合したが、本発明は、前記度合の形態に度合されるものではなく、その度合を度合しない度合で度合度合であることは度合度合でもない。

【0009-6】

【発明の効果】本明において開示される発明のうち、代数的なものによつて度合される効果を度合に開示すれば以

下のとおりである。

【図102】 (1) が直でかつ剛性良く、低抵抗なエピタキシャルシリサイド層を形成することができる。

【図103】 (2) シリケイト表面の変化、後化を防止し、シリサイド層の成長速度を抑制することができる。

【図104】 (3) 電設構造に、コントラクト抵抗が十分に低いM.O.F.E.Tを有する半導体実験構造装置を提供することができ、半導体実験構造装置の高速化を図ることができる。

【図11】 本発明の一実施の形態である半導体実験構造装置の一例を示す。 (a) は平面図、 (b) は (a) における b-b 断面図である。

【図12】 本発明の一実施の形態である半導体実験構造装置の製造方法の一例をその工場用に示した実験構造装置である。

【図13】 本発明の一実施の形態である半導体実験構造装置の製造方法の一例をその工場用に示した実験構造装置である。

【図14】 本発明の一実施の形態である半導体実験構造装置の製造方法の一例をその工場用に示した実験構造装置である。

【図15】 本発明の一実施の形態である半導体実験構造装置の製造方法の一例をその工場用に示した実験構造装置である。

【図16】 本発明の一実施の形態である半導体実験構造装置の製造方法の一例をその工場用に示した実験構造装置である。

【図17】 本発明の一実施の形態である半導体実験構造装置の製造方法の一例をその工場用に示す。 (a) は平面図、 (b) は (a) における b-b 断面図である。

【図18】 本発明の一実施の形態である半導体実験構造装置の製造方法の一例をその工場用に示す。 (a) は平面図、 (b) は (a) における b-b 断面図である。

【図19】 本発明の一実施の形態である半導体実験構造装置の製造方法の一例をその工場用に示す。 (a) は平面図、 (b) は (a) における b-b 断面図である。

【図20】 本発明の一実施の形態である半導体実験構造装置の製造方法の一例をその工場用に示す。 (a) は平面図、 (b) は (a) における b-b 断面図である。

【図21】 本発明の他の実施の形態である半導体実験構造装置の一例を示す。 (a) は平面図、 (b) は (a) における b-b 断面図である。

【図22】 本発明の他の実施の形態である半導体実験構造装置の一例を示す。

断面図の製造方法の一例をその工場用に示したものである。 (a) は平面図、 (b) は (a) における b-b 断面図である。

【図1-3】 本発明の他の実施の形態である半導体実験構造装置の製造方法の一例をその工場用に示したものである。 (a) は平面図、 (b) は (a) における b-b 断面図である。

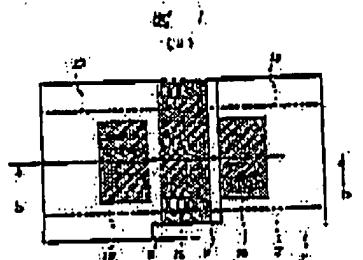
【図1-4】 本発明の他の実施の形態である半導体実験構造装置の製造方法の一例をその工場用に示したものである。 (a) は平面図、 (b) は (a) における b-b 断面図である。

【図1-5】 本発明の他の実施の形態である半導体実験構造装置の製造方法の一例をその工場用に示したものである。 (a) は平面図、 (b) は (a) における b-b 断面図である。

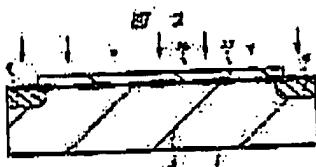
【参考の説明】

1. 半導体基板
2. フィールド絕縁膜
3. ロウエル
4. ダイヤルストップ
5. ゲート絕縁膜
6. ゲート電極
7. ハーフ導体領域
8. ハーフ導体領域
9. サイドウォール
10. エピタキシャルシリサイド層
- 10a. エピタキシャルシリサイド層
- 10b. エピタキシャルシリサイド層
11. 穩間絕縁膜
12. 相鉄乳
13. 記録
14. 供試記録
15. シリコン酸化膜
16. シリコン変化膜
17. チタン膜
18. コバルト膜
19. コバルト膜
20. 低抵抗層
21. コバルト膜
22. 变化チタン膜
23. コバルトシリサイド
24. 变化チタン膜
25. M.O.F.E.T

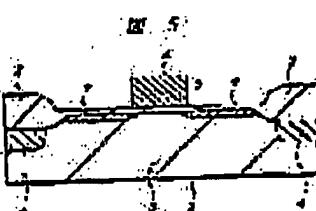
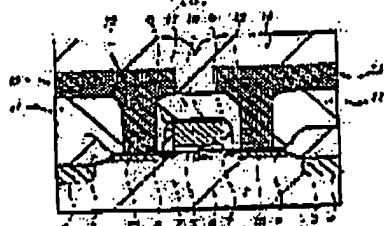
[图1]



[图2]



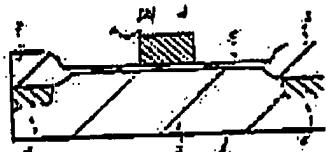
[图3]



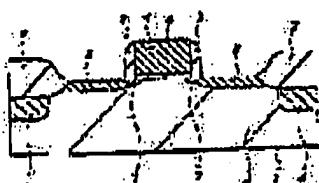
[图3]

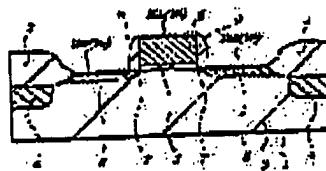
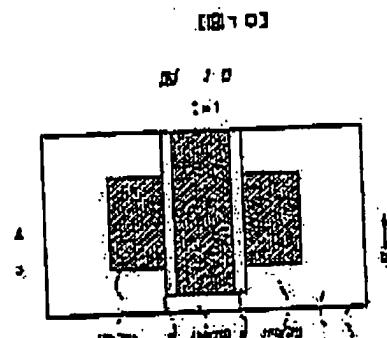
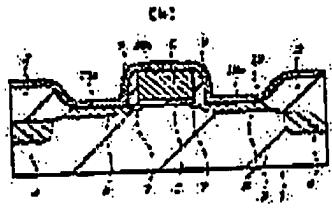
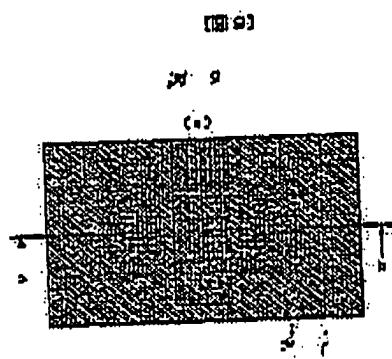
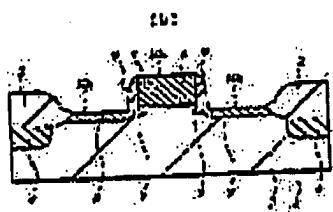
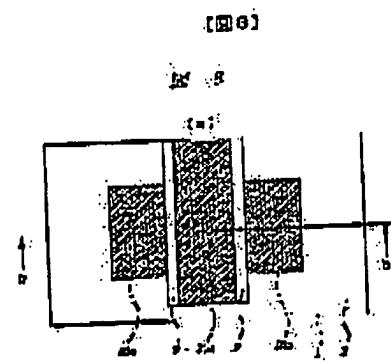
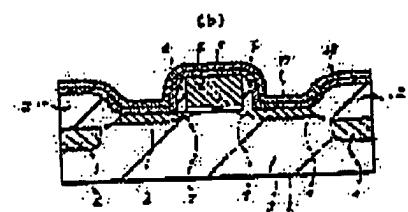
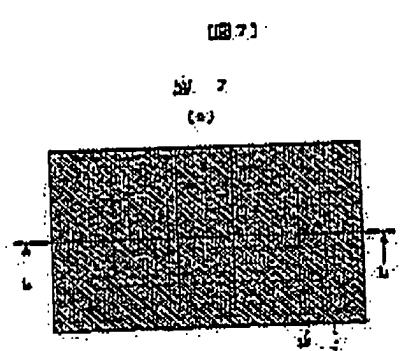


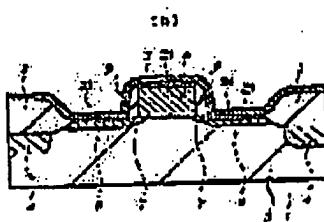
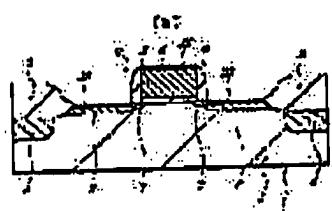
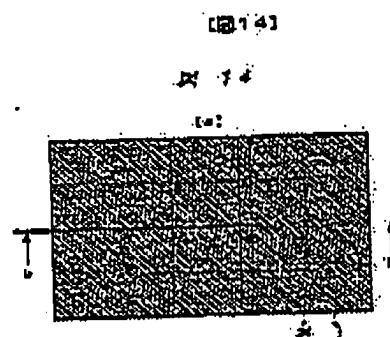
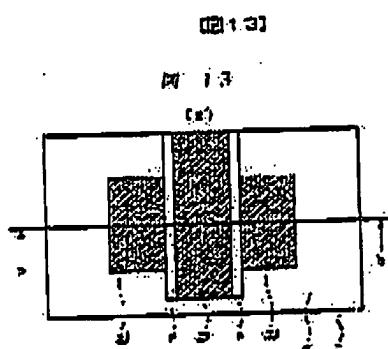
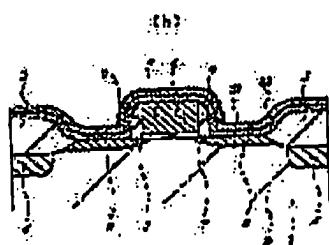
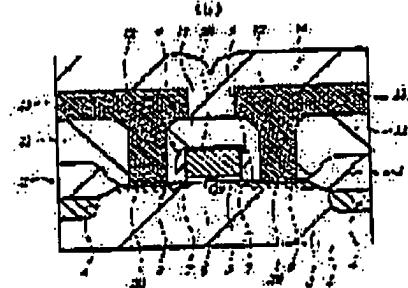
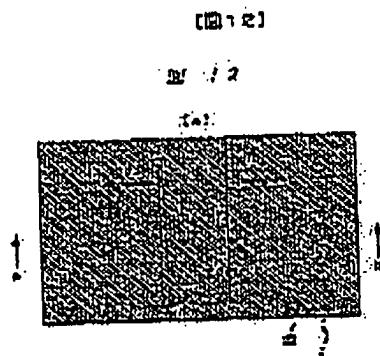
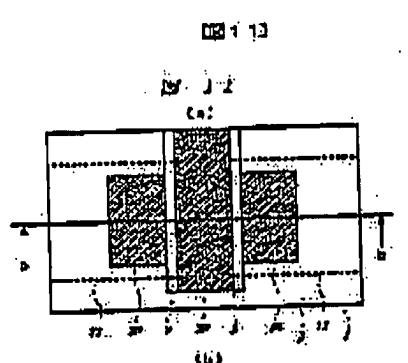
[图4]



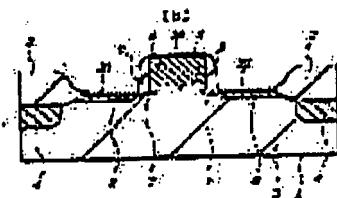
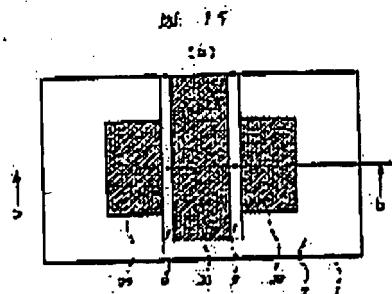
[图5]







[§14]



14-14

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.